

PAT-NO: JP363124475A

DOCUMENT-IDENTIFIER: JP 63124475 A

TITLE: SEMICONDUCTOR PHOTODETECTOR

PUBN-DATE: May 27, 1988

INVENTOR-INFORMATION:

NAME

ISHIHARA, HISAHIRO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP61271309

APPL-DATE: November 13, 1986

INT-CL (IPC): H01L031/10

US-CL-CURRENT: 257/184, 257/463

ABSTRACT:

PURPOSE: To facilitate an assembly process and handling while positioning a bonding pad onto a semi-insulating substrate adjacent to a light-receiving region and to obtain a photodetector displaying low capacitance, high speed characteristics, by forming a pin-photodiode in a surface incident type.

CONSTITUTION: Si<SP>+</SP> ions are implanted into a specific region

in a semi-insulating InP substrate 1 and annealed to shape an n-type region 2, and an n-type InP buffer layer 3, an n-type InGaAs optical absorption layer 4 and an n-type InP window layer 5 are laminated and grown on the whole surface including the region 2. Carrier concentration is brought previously to $2 \times 10^{15} \text{ cm}^{-3}$ or less so that the layer 4 is depleted completely at a low bias at that time. Laminated films in a section in which there is no region 2 are removed to expose the surface of the substrate 1, and a p-type region 6 is diffused and shaped extending over the upper section of the layer 5 from the exposed surface of the surface of the substrate and one part is intruded into the region 4. The reverse side of a laminate is gotten rid of to expose one part of the region 6 and an n side electrode 8 is attached to the exposed partial region 6, and p side electrodes 7 are shaped in the regions 6.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-124475

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)5月27日

H 01 L 31/10

A-6819-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体受光素子

⑯ 特 願 昭61-271309

⑰ 出 願 昭61(1986)11月13日

⑱ 発 明 者 石 原 久 寛 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 半導体受光素子

特許請求の範囲

半絶縁性半導体基板上的の特定領域に光吸収層及びウィンドウ層を含む第1の導電型を呈する低濃度半導体多層膜構造を有し、該半導体基板のうち前記半導体多層膜下にあたる部分のうちの特定領域の表面近傍及びこれに隣接する表面の露出した半導体基板の特定領域の表面近傍が第1の導電型の高濃度領域に、また前記半導体多層膜の特定領域及びこれに隣接する表面の露出した半導体基板の特定領域の表面近傍が逆の導電型の高濃度領域になっており、これら互いに逆の導電型を呈する高濃度領域は互いに接していない事を特徴とする半導体受光素子。

発明の詳細な説明

(産業上の利用分野)

本発明は、光通信や光情報処理等に於て用いられる半導体受光素子に関するものである。

(従来の技術)

近年化合物半導体受光素子は、光通信或いは光情報処理用の高感度受光器として活発に研究開発並びに実用化が進められている。特にpinフォトダイオード(以下pin-PDと記す)は、アバランシェフォトダイオード(APD)に比べて内部電流利得を持たない為、受信感度の点では若干劣るものの、APDで見られる様なアバランシェ立ち上がり時間に起因する利得帯域幅積(GB積)による帯域の制限が無い。従って素子の帯域は、キャリアの走行時間及びCR時定数で決まり、20GHzを越す値が報告されており、高速光信号検出器としてpin-PDが注目されている(エレクトロニクス・レターズ(Electron. Lett.)21巻,p262~263,1985年参照)。また低バイアスで使用する為、信頼性に優れ、集積化にも適している。

光通信用として注目を集めている光ファイバーの低損失帯域にあたる1.0~1.6μm帯波長域では、半

導体受光素子の材料としてInGaAsが広く用いられている。このInGaAs系pin-PDの基本構造の例を第3図に示す。(a)はメサ型裏面入射タイプ、(b)はプレーナ型表面入射タイプの例である。(a)のメサ型の場合 n^+ -InP基板10上に n -InGaAs4を結晶成長し、次にZn等p型を呈させる不純物を熱拡散してP+領域6を形成し、InGaAs4中にpn接合を形成した後、メサエッチングにより受光部以外のInGaAsを除去している。一方(b)のプレーナ型表面入射タイプの場合、 n -InGaAs4に加え表面再結合損を抑える為のウィンドウ層として n -InP5も連続成長した後選択熱拡散によりInGaAs4中にpn接合を設け、受光領域を形成している。

(発明が解決しようとする問題点)

ところで上述の二例では、入射光を素子表面から取り入れる所謂表面入射タイプにする為には、第3図(b)の様に受光部に隣接してボンディングパッド用のp+領域を設ける必要があり、これは接合面積を大きくする為容量を増加させていた。

(3)

り、前記逆の導電型を呈する半導体基板高濃度領域が互いに接していない事の特徴とする。

(作用)

本発明は上述の構成をとる事により従来技術の問題点を解決した。即ち本発明によるpin-PDは表面入射タイプであるので、組み立て工程及び取り扱いが容易にできる。且つボンディングパッドは、受光領域に隣接した半絶縁性基板上に存在する為接合容量に寄与しない。従って受光領域以外に余分な接合容量が無く、低容量(即ち高速)特性を有する。

(実施例)

以下本発明の実施例について、図面を参照して詳細に説明する。

第2図は本発明に依るpin-PDの製造方法の一例を説明する為の、各工程に於ける素子断面図の模式図である。本実施例によればまず第2図(a)に示す様に、半絶縁性InP基板1の特定領域に Si^+ のイオン注入並びにアニール工程を施す事により n^+ 領域2を形成する。続いて気相成長法により n -InPバッファ

また(a)図の様に裏面入射タイプとすると、受光部p+領域の上にボンディングをすれば良いが余分な容量は除去できるものの、素子の組み立て工程が非常に煩雑となり取り扱いも面倒であった。

本発明の目的は、この様な従来の欠点を除去し低容量(即ち高速)特性を有し且つ表面入射タイプで取り扱いが簡単なpin-PDを提供する事にある。

(問題点を解決する為の手段)

前述の問題点を解決する為に本発明が提供する半導体受光素子は、半絶縁性半導体基板上の特定領域に光吸収層及びウィンドウ層を含む第1の導電型を呈する低濃度半導体多層膜構造を有する半導体受光素子に於て、該半導体基板のうち前記半導体多層膜下にあたる部分のうちの特定領域の表面近傍及びこれに隣接する表面の露出した半導体基板の特定領域の表面近傍が第1の導電型の高濃度領域に、また前記半導体多層膜の特定領域及びこれに隣接する表面の露出した半導体基板の特定領域の表面近傍が逆の導電型の高濃度領域になってお

(4)

層($\sim 1\mu m$)3、 n -InGaAs光吸収層($\sim 1\mu m$)4、 n -InPウィンドウ層($\sim 0.5\mu m$)5を連続成長する(同図(b))。ここで光吸収層4は低バイアスで完全に空乏化する様に、キャリア濃度が $2 \times 10^{15} cm^{-3}$ 程度以下に低濃度化されている。次に同図(c)に示す様に半導体多層膜のうち n^+ 型を呈する基板領域2上に位置しない部分中の特定領域を除去し、半絶縁性InP基板1を露出させる。然る後半導体多層膜のうち n^+ 型を呈する基板領域2上に位置する部分の一部を含む特定領域、及びこれに隣接して表面を露出している半絶縁性InP基板1の特定領域に、Znの選択熱拡散によりp+領域6を形成する(同図(d))。この際拡散時間の調節により、半導体多層膜(受光領域)でのpn接合の位置が光吸収層4とウィンドウ層5の界面近傍の光吸収層4中に位置するものとする。その後同図(e)に示す通りInP基板のうち n^+ 型を呈する領域2の一部表面が露出する様に、半導体多層膜の特定領域を除去する。最後にパッシベーション膜9を形成した後、InP基板のうち n^+ 型及びp+型を呈する

(5)

領域部に各々電極7,8を形成して第1図第2図(f)に示すような素子を得る。

本素子は表面入射タイプでありながらp,n電極が、各々半絶縁性InP基板1中の特定領域に形成されたp⁺領域,n⁺領域上に形成されている為、受光領域以外に余分な接合容量を持たない。併せて半絶縁性基板を用いている為、FET等の他素子との集積化にも適している。

(発明の効果)

以上説明した様に、本発明によれば表面入射タイプで組み立て工程や取り扱いが簡単で、且つ低容量特性(即ち高速特性)に優れ、集積化に適した半導体受光素子が得られる。

図面の簡単な説明

第1図は本発明の一実施例を示す半導体受光素子の構造模式図、第2図は本発明による半導体受光素子の製造方法の一例を説明する為の、各工程に於ける素子断面構造の模式図、第3図は従来例を示す半導体受光素子の断面構造模式図である。

図に於て、1半絶縁性InP基板、2はn⁺領域、3はn⁻InP、4はn⁻InGaAs、5はn-InP、6はp⁺領域、7はp側電極、8はn側電極、9はパッシベーション膜、10はn⁺-InP基板を各々示す。

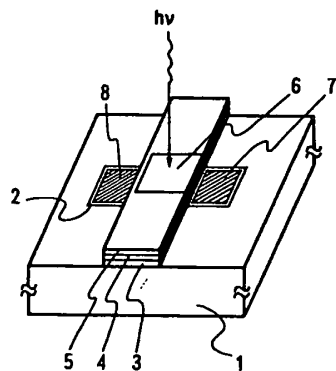
代理人 弁理士 内原 晋

弁理士
内原 晋

(7)

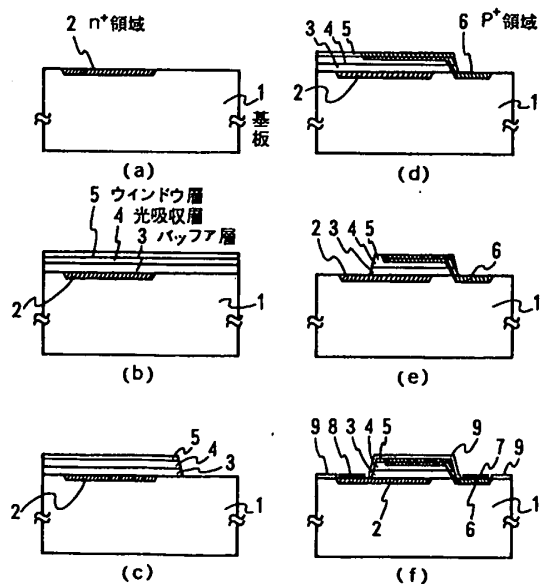
(8)

第 1 図



- 1; 半絶縁性InP基板
- 2; n⁺領域
- 3; n⁻InP
- 4; n⁻InGaAs
- 5; n-InP
- 6; p⁺領域
- 7; p側電極
- 8; n側電極

第 2 図



第 3 図

